

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 09320198 A

(43) Date of publication of application: 12.12.97

(51) Int. Cl

G11B 20/10

H03H 17/00

H03H 17/06

H03H 17/06

H04B 3/04

(21) Application number: 08130136

(71) Applicant: HITACHI LTD

(22) Date of filing: 24.05.96

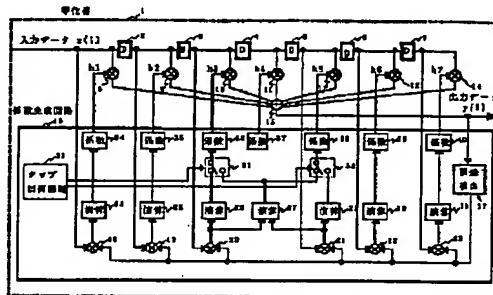
(72) Inventor: HIROOKA TSUGUYOSHI
HOTTA RYUTARO
KUROSAWA MINORU
NARA TAKASHI

**(54) EQUALIZER AND REPRODUCED SIGNAL
PROCESSING CIRCUIT AND
RECORDING/REPRODUCING DEVICE HAVING IT**

(57) Abstract:

PROBLEM TO BE SOLVED: To realize an equalizer which gives the optimum tap coefficient speedily, even for reproduced signals including asymmetric components while holding the convergence/stability of the coefficient.

SOLUTION: Initially both selectors 31, 32 are connected to an arithmetic unit 27. By this, the same value (the corrected value determined by the arithmetic unit 27) is set on the coefficients h3, h5 positioned symmetrically to the other with respect to the center. During this period, a tap control circuit 33 counts the number of times of correction. When the count value reaches a preset number, the selectors 31 and 32 are respectively switched to arithmetic unit 26, 28. By this, the coefficients h3, h5 are set and each is corrected independently of the other.



COPYRIGHT: (C)1997,JPO

(51)Int.Cl. ⁸	識別記号	序内整理番号	F I	技術表示箇所
G 11 B 20/10	3 2 1	7736-5D	G 11 B 20/10	3 2 1 A
H 03 H 17/00	6 0 1	9274-5 J	H 03 H 17/00	6 0 1 D
	17/06	6 3 1	17/06	6 3 1
		6 3 5	9274-5 J	6 3 5 C
H 04 B 3/04			H 04 B 3/04	A

審査請求 未請求 請求項の数6 O.L (全11頁)

(21)出願番号

特願平8-130136

(22)出願日

平成8年(1996)5月24日

(71)出願人

000005108
株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者

廣岡 瞬喜
神奈川県川崎市麻生区王禅寺1099番地 株式会社日立製作所システム開発研究所内

(72)発明者

堀田 龍太郎
神奈川県川崎市麻生区王禅寺1099番地 株式会社日立製作所システム開発研究所内

(72)発明者

黒澤 稔
神奈川県川崎市麻生区王禅寺1099番地 株式会社日立製作所システム開発研究所内

(74)代理人

弁理士 富田 和子

最終頁に続く

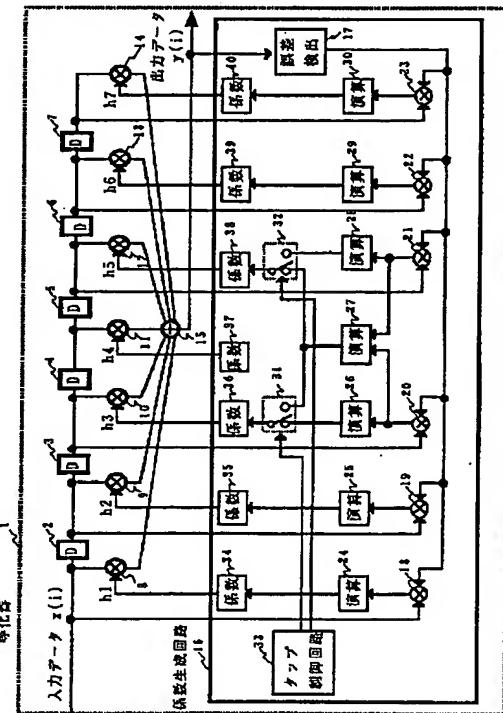
(54)【発明の名称】 等化器およびこれを備えた再生信号処理回路、記録再生装置

(57)【要約】

【課題】 係数の収束／安定性を保持しつつ、非対称な成分を含む再生信号に対しても、最適なタップ係数が速やかに得られる等化器を実現する。

【解決手段】 当初は、セレクタ31,32とともに演算器27に接続する。これにより、センターを基準として、互いに対称な位置にある係数h3と係数h5とには同じ値（演算器27の求めた修正値）が設定される。この間、タップ制御回路33は修正を行った回数をカウントする。該カウント値があらかじめ定められた規定回数に達すると、セレクタ31を演算器26に、また、セレクタ32を演算器28に切り換える。これにより係数h3と係数h5とは、互いに独立的に設定・修正が行われるようになる。

図



【特許請求の範囲】

【請求項1】複数のタップから構成される等化器であって、遅延回路群、乗算器群、加算器、前記乗算器群に供給するタップ係数の修正を行なう修正処理を行う修正手段を内蔵する等化器において、

上記修正手段は、修正処理の内容を別途定められた複数の動作モードを備え、別途定められた切換条件に従って上記動作モードを切換えるものであること、

を特徴とする等化器。

【請求項2】上記動作モードは互いに、上記タップ毎の修正実行の有無、別途定められたタップ間での上記係数値の一貫性、のうちの少なくとも一つが異なるものであること、

を特徴とする請求項1記載の等化器。

【請求項3】上記切換条件は、上記修正を行った回数(以下“規定回数”という)として規定されており、上記修正手段は、上記修正を行った回数をカウントし、該カウント値が上記規定回数に達した場合には上記動作モードを切換えるものであること、

を特徴とする請求項1または2記載の等化器。

【請求項4】上記切換条件は、上記等化器の等化出力の等化誤差の値(以下“基準値”という)として規定されており、

上記修正手段は、上記等化器の等化出力の等化誤差を求め、該等化誤差が上記基準値に達していた場合には上記動作モードを切り換えるものであること、

を特徴とする請求項1または2記載の等化器。

【請求項5】記録媒体から読み出された信号を処理する再生信号処理回路において、

請求項1、2、3または4記載の等化器と、

上記動作モードそれぞれにおける上記修正処理の内容を定義したモード情報と、上記切換条件との少なくとも一方を設定されるレジスタとを備え、

上記修正手段は、上記レジスタから上記モード情報と上記切換条件との少なくとも一方を獲得し、該獲得したモード情報および/または上記切換条件に従って動作すること、

を特徴とする再生信号処理回路。

【請求項6】記録媒体から信号を読み出すヘッドと、

請求項1、2、3または4記載の等化器を含んで構成された、ヘッドによって記録媒体から読み出された信号の処理を行う再生信号処理回路と、

上記等化器に対して、上記切換条件および/または上記動作モードの内容を指示するマイクロコンピュータと、を有することを特徴とする記録再生装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、係数修正方法を自動的に切り換える等化器に関する。

【0002】

【従来の技術】従来の適応等化器については、例えば特開平6-296119号公報の従来の技術の欄に記載されている。等化器の回路構成例を図9に示す。

【0003】回路140は、遅延回路群141～146と、乗算回路群147～153と、加算回路154と、係数生成回路155とから構成される。入力信号をx(i)、出力信号をy(i)、各タップ係数をhj(i)(j=1～m, mはタップ数。ここではm=7)とすると、これらの間には下記式1の関係がある。

【0004】

【数1】 $y(n) = h1*x(n) + h2*x(n-1) + \dots + h7*x(n-6)$
係数生成回路155は、等化誤差検出回路156の出力e(i)と各タップ係数から新たなタップ係数を求めて等化誤差e(i)を零に収束させるように各タップ係数hjを設定する。

【0005】一般論では上記のように全てのタップ係数を求めて更新するが、実際の磁気記録再生装置などにおいて、データ再生と同時にタップ係数の修正を行う場合は、AGC(Automatic Gain Control)やVFO(Variable Frequency Oscillator)などの制御ループが同時に動作しているため、係数が収束しない/不安定になる可能性があるという問題がある。

【0006】このような問題を回避する手段としては、複数あるタップ係数のうちセンタータップを中心として対称な位置におけるタップ係数として互いに同じ値を設定したり、センターのタップ係数の値を固定する方法がある。このような方法については、例えば、日立HD1530 62のデータシートに記載されている。

【0007】

【発明が解決しようとする課題】すでに述べたように上記従来技術において全てのタップ係数を求めて更新したのでは、係数の未収束/不安定化の可能性がある。また、実際の入力信号には程度の差はあるものの非対称な成分が含まれているため、センタータップを中心として対称な位置におけるタップ係数の値を互いに同じにしたのでは、必ずしも最適なタップ係数を得られないという問題がある。

【0008】そこで、例えば、まず互いに対称な位置にあるタップ係数の値を求めて等化誤差を抑えた係数を求め、その後、動作を切り替えてその係数から微修正を行なうことで、非対称な位置にあるタップ係数の値を求めるような方法が考えられる。

【0009】しかし、このような方法に基づいた制御を磁気記録再生装置内蔵のマイコン(Micro Computer)に行なわせようすると、切り替えのための情報の受け渡しにレジスタや端子の増加が避けられない。さらに、磁気記録再生装置のデータ再生の速度に比べてマイコンによるレジスタ設定などの速度は遅いため、ヘッドのシークが終了しデータ再生ができる状態になってから最適なタップ係数が得られるまでにかなり時間を費やしてしまうという問題があった。

【0010】本発明の目的は、タップ係数の切替動作を自動に行なわせることで、係数の収束／安定性を保持しつつ、最適なタップ係数が速やかに得られる等化器を提供することにある。

【0011】

【課題を解決するための手段】本発明は上記目的を達成するためになされたもので、その第1の態様としては、複数のタップから構成される等化器であって、遅延回路群、乗算器群、加算器、前記乗算器群に供給するタップ係数の修正を行なう修正処理を行う修正手段を内蔵する等化器において、上記修正手段は、修正処理の内容を別途定められた複数の動作モードを備え、別途定められた切換条件に従って上記動作モードを切換えるものであること、を特徴とする等化器が提供される。

【0012】上記動作モードは互いに、上記タップ毎の修正実行の有無、別途定められたタップ間での上記係数値の一致性、のうちの少なくとも一つが異なるものであってもよい。

【0013】上記切換条件は、上記修正を行った回数（以下“規定回数”という）として規定されており、上記修正手段は、上記修正を行った回数をカウントし、該カウント値が上記規定回数に達した場合には上記動作モードを切換えるものであってもよい。

【0014】上記切換条件は、上記等化器の等化出力の等化誤差の値（以下“基準値”という）として規定されており、上記修正手段は、上記等化器の等化出力の等化誤差を求め、該等化誤差が上記基準値に達していた場合には上記動作モードを切り換えるものであることが好ましい。

【0015】本発明の第2の態様としては、記録媒体から読み出された信号を処理する再生信号処理回路において、上記第1の態様の等化器と、上記動作モードそれぞれにおける上記修正処理の内容を定義したモード情報と、上記切換条件との少なくとも一方を設定されるレジスタとを備え、上記修正手段は、上記レジスタから上記モード情報と上記切換条件との少なくとも一方を獲得し、該獲得したモード情報を上記切換条件に従って動作するものであることを特徴とする再生信号処理回路が提供される。

【0016】本発明の第3の態様としては、記録媒体から信号を読み出すヘッドと、上記第1の態様の等化器を含んで構成された、ヘッドによって記録媒体から読み出された信号の処理を行う再生信号処理回路と、上記等化器に対して、上記切換条件および上記動作モードの内容を指示するマイクロコンピュータと、を有することを特徴とする記録再生装置が提供される。

【0017】作用を説明する。

【0018】修正手段は、修正処理内容（タップ毎の修正実行の有無、タップ間での上記係数値の一致性）の異なる動作モードを使い分けることで、係数の収束／安定

を保持しつつ最適な係数が得られる。等化誤差が大きいところでは係数の未収束／不安定化が起こりやすいので、初期においては、係数が安定的に変化する動作モードで、最適値に近い係数値に、つまり、等化誤差の小さな状態にする。その後、最適な係数を得られる動作モードに切り換える。例えば、初期においては、対称な位置のタップの組み合わせについてタップ係数を一致させるような動作モードとする。

【0019】動作モードの切換は切換条件に従って修正手段自身が行う。例えば、切換条件を修正を行った回数（規定回数）によって規定しているのであれば、修正手段は修正を行った回数をカウントし、該カウント値が規定回数に達した場合に動作モードを切換える。あるいは、切換条件を等化器の等化出力の等化誤差の値（基準値）を含んで規定しているのであれば、修正手段は等化器の等化出力の等化誤差を求め、該等化誤差が上記基準値に達していた場合には上記動作モードを切り換える。

【0020】動作モードの切換自体は等化器自らが行うものではあるが、その切換条件等は必ずしも等化器自身が備えている必要はない。等化器外のレジスタに設定しておきこれを必要に応じて読み込むようにしてもよい。また、マイクロコンピュータによって直接指示するようにしてもよい。

【0021】

【発明の実施の形態】本発明の実施形態を図面を用いて説明する。

【0022】第1の実施形態を図1～図5を用いて説明する。

【0023】本実施形態の磁気記録再生装置50のシステム構成を図2に示す。

【0024】磁気記録再生装置50は、磁気記録媒体51、ヘッド52、リード／ライトアンプ53、再生信号処理回路54、HDC(Hard Disk Controller)55、I/F(Interface)回路56、バッファ57、マイコン58を備えている。

【0025】マイコン58は該装置全体の制御を行うものであり、前記回路群53～56のレジスタ設定等を行う。リード／ライトアンプ53は、ヘッド52が磁気記録媒体51から再生した信号を增幅して、再生信号処理回路54に出力する。再生信号処理回路54は再生信号に対し、振幅制御、波形等化、最尤復号などの処理を行った後にHDC55に出力する。HDC55は誤り検出／訂正、再生データのフォーマット制御などを行ない、I/F回路56はホストへの転送制御を行う。バッファ57は、記録媒体の再生信号処理速度とホストへの転送速度との速度差を吸収するためのものである。本発明の特徴となる等化器は再生信号処理回路54に内蔵され、主として該マイコン58からモード設定／各パラメータ設定などの制御を受ける。

【0026】再生信号処理回路54の内部構成を図3に示した。該再生信号処理回路54は、AGC60、AF(Active Filter)61、ADC(Analog to Digital Converter)62、等

化器1、復号器63、デコーダ64、I/F回路65、VF066、レジスタ67を備えている。AGC60は再生信号の振幅制御を行い、AF61は高周波数成分の除去や特定周波数成分の増幅等を行う。ADC62はアナログ信号をディジタル信号に変換する。等化器1はADC62の出力するディジタル信号を波形等化し、復号器63は等化信号から最も確からしい1/0の2値のデータ系列を求める。デコーダ64は、記録媒体51に記録する際にデータを記録に適したデータに変換していたものを元のデータに逆変換する。I/F回路65は該データをHDC55へ出力する。VF066は、クロック生成に関わり、データに同期したクロックの生成などを行う。

【0027】等化器1の詳細を図1を用いて説明する。

【0028】等化器1は7次のトランスバーサルフィルタである。該等化器1は、入力データ $x(i)$ を1クロックずつ遅延させる遅延回路2~7、遅延回路出力 $x(i)$ とタップ係数 h_j の積を計算する乗算器8~14、各乗算器の出力の総和を求めて出力 $y(i)$ を生成する加算器15、タップ係数の修正値を求める係数生成回路16より構成される。

【0029】該等化器1の入力データ $x(i)$ と出力データ $y(i)$ とには、上述した数1の関係がある。

【0030】係数生成回路16は、出力データの等化誤差を求める誤差検出回路17、等化誤差と各タップの入力データとの積で表わされる各タップの相関量を計算する乗算器18~23、相関量から各タップ係数の修正値（各タップ係数の新たな値）を求める演算回路24~30、セレクタ31、32、該セレクタ31、32を制御するタップ制御回路33、タップ係数の値を保持するレジスタ34~40、によって構成される。

【0031】係数生成回路16は、タップ係数の設定・修正の仕方が異なる2つの動作モード（一致化モード／独立モード）を備えている。一致化モードは、センタータップの両隣のタップ係数 h_3, h_5 の値を互いに一致させているモードである。該一致化モードにおいては、上述した演算回路のうち演算回路27の求めた値をタップ係数 h_3, h_5 として設定するようになっている。独立モードは、タップ係数 h_3 とタップ係数 h_5 との値を互いに独立的に設定するモードである。該独立モードにおいては、演算回路26の求めた値をタップ係数 h_3 として、また、演算回路28の求めた値をタップ係数 h_4 として設定するようになっている。なお、センタータップ係数 h_4 は、いずれの動作モードにおいても適応制御を行なわないプログラマブルなデータとしている。動作モードの切換は、タップ制御回路33からの指示に従ってセレクタ31、32が、演算回路26、27、28と、レジスタ36、38との接続関係を変更することで行う構成となっている。

【0032】タップ係数制御回路33は、図4に示すとおり、カウンタ70、レジスタ71、比較器72、レジスタ73、タップ係数制御回路74で構成される。

【0033】カウンタ70は、タップ係数の更新回数を数

えるためのものである。

【0034】レジスタ71は、あらかじめ定められた規定回数を記憶するものである。後述するとおり、該規定回数は動作モードを切り換えるか否かを決定するのに用いられている。

【0035】比較器72は、カウンタ70のカウント値（つまり、タップ係数の更新回数）が、規定回数に達したかどうかを判定するものである。該比較器72は、カウント値が規定回数に達しているか否かによって、その出力が変化する。

【0036】レジスタ73は、動作モード（一致化モード／独立モード）に応じて係数設定の仕方を変えるタップ係数を、あらかじめ指定しておくためのものである。従って、本実施形態のレジスタ73には、タップ係数 h_3, h_5 が設定されている。

【0037】タップ係数制御回路74は、比較器72の出力と、レジスタ73における設定値とに従って、係数を制御するタップを決定するものである。該制御は実際にには、セレクタ31、32へ出力する、選択状態を指定した信号の内容を変更することで行われる。

【0038】特許請求の範囲において言う“修正手段”とは、係数生成回路16に相当する。“切換条件”とは、レジスタ71に設定されている内容に相当する。

“モード情報”とは、レジスタ73に設定されている内容に相当する。

【0039】本実施形態の動作を図1～5を用いて説明する。

【0040】まず、リード前（あるいは更に前の電源投入時や出荷時等）に、マイコン58からレジスタ34～40、

30 71、73に、各係数の初期値及び等化器1を制御するためのデータを設定しておく。

【0041】ホストから磁気記録再生装置50にリード要求が出されると、それを受けてマイコン58が該磁気記録再生装置50内部の各回路に指示を出す。ヘッド52で再生された磁気記録媒体51上のデータは、再生信号処理回路54の内部で、AGC60、AF61、ADC62、等化器1、復号器63、デコーダ64、I/F回路65を経てHDC55に出力される。

【0042】この時、等化器1は、数1に従い等化を行うが、同時にタップ係数の修正を行う。タップ制御回路40 33は、最初は一致化モードで動作させる。つまり、セレクタ31、32に演算回路27を選択させることで、レジスタ36およびレジスタ38の両方に演算回路27の出力が書き込まれるようにする。この状態で等化器1はタップ係数を修正しながら動作する。この一致化モードでは、センタータップ係数 h_4 を固定するとともに、タップ係数 h_3 とタップ係数 h_5 と同じ値を設定しているので係数は収束しやすい。

【0043】以上の動作と並行して、タップ制御回路33は、タップ係数の更新を行った回数をカウンタ70でカウントしている。このカウント値（更新回数）がレジス

タ71に設定した規定回数を越えると、比較器72の出力が変化する。これに応じてタップ係数制御回路74はセレクタ31, 32の選択状態を変更することで、独立モードに移行させる。独立モードにおいては、レジスタ36には係数演算回路26の出力が書き込まれ、レジスタ38には係数演算回路28の出力が書き込まれるようになる。つまり、タップ係数h3とタップ係数h5とは、その修正値の演算およびその更新が互いに独立的に行われる。このように両係数h3, h5を互いに独立的に更新することは、タップ係数h3とタップ係数h5と同じ値をとること（すなわち、対称となること）を禁止するものではない。しかし、一般に、入力データには非対称な成分が含まれているため、独立モードでの修正を繰り返すうちに、結果的に、タップ係数h3とタップ係数h5とは異なった値（すなわち、非対称）となるのが通常である。

【0044】動作モード切換のタイミングを図5に示した。係数生成回路16は、磁気記録媒体51からのデータ読み出しの期間に係数の修正を行なうものとする。記録媒体51上のデータは複数のセクタに分けて記録されている。係数の修正回数が規定回数（図5の例ではN回）に達すると、一致化モードから独立モードに切り替える。この場合、モード切換のタイミングは、規定回数の設定値、と、修正を行う周期、頻度等によって決まってくる。そのため、読み出しを開始後、1セクタ分のデータを読み出し終わる前に独立モードに切り替えられることもあれば、場合によっては、複数セクタ分のデータを読み出した後に独立モードに切り替えされることもある。

【0045】本実施形態では、センターの隣のタップ係数h3, h5についてのみ更新の仕方を切り替えていたが、他のタップについても同様に制御してかまわない。

【0046】また、独立モードでの係数の修正を一定回数行なった後は、修正動作を止めるようにしてもよい。

【0047】対称な位置に位置するあるタップの組み合わせについてその値を互いに一致させつつ修正を行った後は、修正の対象とするタップの組み合わせを互いに対称な位置にある他のタップの組み合わせに変更した上で、その値を互いに一致させるように修正を行うなど、多段階の切替動作を行なってもよい。例えば、上述の例では、タップ係数h3とタップ係数h5とに互いに同じ値を設定するように修正を所定回数行い、その後は、タップ係数h3, h5に対する修正を停止する。そして、それ以後は、タップ係数h2とタップ係数h6とに互いに同じ値を設定するように修正を行うようにしてもよい。

【0048】本発明の第2の実施形態を図6～図8を用いて説明する。

【0049】本実施形態は、タップ係数の設定・修正の異なる3種類の動作モードを備え、等化誤差の大きさ等が所定の基準（後述するしきい値th1, th2、規定回数）に達しているか否かに基づいて動作モードを切り換える点を特徴とする。

【0050】まず、該第2の実施形態である等化器80の概要を説明する。

【0051】等化器80は、5タップの等化器である。該等化器80は、入力データx(i)を1クロックずつ遅延させる遅延回路81～84、遅延回路出力x(i)とタップ係数hjとの積を計算する乗算器85～89、各乗算器85～89の出力の総和を求めて出力y(i)を生成する加算器90、タップ係数の修正値を求める係数生成回路91より構成される。該実施形態の特徴は主として係数生成回路91によって実現されている。従ってこれ以降は、該係数生成回路91を中心に説明する。

【0052】本実施形態の係数生成回路91は、3種類の動作モード（モードA、モードB、モードC）を備えている。モードAは、センター以外のすべてのタップ係数h1, h2, h4, h5について修正を行うモードである。該モードAでは、タップ係数h2とタップ係数h4とには、互いに同じ値を設定するようになっている。モードBは、タップ係数h1, h2, h5についてのみ修正を行うモードである。モードCは、タップ係数h1, h5についてのみ修正を行う

モードである。動作モードの切換は、等化誤差の状態（具体的には、後述するしきい値TH1, TH2以下の状態が後述する規定回数だけ続いたか否か）に応じて、後述するタップ制御回路123が行なうようになっている。

【0053】係数生成回路91は、具体的には、誤差検出回路92、遅延回路93～96、セレクタ97、乗算器98、平均化回路99、演算回路100、セレクタ101、ラッチ回路107～111、回路102～106、回路112～116、レジスタ117～121、シーケンサ124によって構成される。この係数生成回路91は、第1の実施形態の係数生成回路16と比べて回路規模を削減するために、乗算器等を共有化して1タップずつ計算を行うようになっている。

【0054】誤差検出回路92は、出力データの等化誤差を求めるものである。該等化誤差は、乗算器98に出力され、相関量を求めるのに使用される。また、既に述べたとおり本実施形態では、この等化誤差の大きさに応じて動作モードを切り替えるようになっている。そのため、該誤差検出回路92は、求めた等化誤差をシーケンサ122のタップ制御回路123にも出力する構成となっている。

【0055】遅延回路93～96は、それぞれ入力データを1クロック遅延させるものである。

【0056】セレクタ97は、各タップの入力データ（すなわち、遅延回路93～96の入出力データ）から、その時、修正値を求めるのに用いるデータを選択するものである。

【0057】乗算器98は、誤差検出回路92の求めた等化誤差と、セレクタ97によって選択されているタップの入力データとの積で表わされる相関量を逐次計算するものである。

【0058】平均化回路99は、乗算器98が逐次出力する相関量の複数個についてその平均値を求めるものであ

る。

【0059】レジスタ117～121は、各タップ係数の値を保持するものである。該レジスタ117～121に設定されている値は等化処理のために乗算器85～89に出力されるようになっている。また、タップ係数の修正のために、セレクタ101を介して係数演算回路100にも出力可能に構成されている。

【0060】セレクタ101は、シーケンサ122からの指示に従って、レジスタ117～121のうちのいずれかを選択するものである。該セレクタ101は、その時選択しているレジスタに格納されている値、すなわち、当該タップの修正前のタップ係数値を、係数演算回路100に出力している。

【0061】係数演算回路100は、セレクタ101を通じて入力される係数値と、平均化回路99から入力される相関量とに基づいて、タップ係数の修正値（新たな値）を求めるものである。該係数演算回路100は求めた修正値を回路102～106を介してラッチ回路107～111に出力している。

【0062】ラッチ回路107～111は、タップ係数の修正値を一時保持するものである。

【0063】回路102～106は、係数演算回路100の出力値のラッチ回路107～111への書き込みを制御するものである。これらはシーケンサ122からの指示に従ってそれぞれ独立的に動作可能に構成されている。

【0064】回路112～116は、修正を行なうタップ係数を選択するものである。具体的には、レジスタ117～121のうちその時修正するタップ係数を保持するものを、シーケンサ122からの指示に従って当該レジスタに対応するラッチ回路と接続することで、当該レジスタの内容を修正値に書き換える。逆に、修正しないタップ係数については、当該タップ係数を保持しているレジスタと、当該レジスタに対応するラッチ回路とを接続しないことで、書換を行わせない。

【0065】シーケンサ122は、係数生成回路91内部の動作制御を行なうものである。さらに、該シーケンサ122は、動作モードの切換を制御するタップ制御回路123を備えている。

【0066】該タップ係数制御回路123は、図7に示すとおり、平均化回路130、レジスタ131、比較器132、カウンタ133、レジスタ134、比較器135、レジスタ136、タップ係数制御回路137で構成される。

【0067】平均化回路130は、誤差検出回路92から入力される等化誤差を一定サンプル分平均するものである。

【0068】レジスタ131は、あらかじめ定められたしきい値TH1, TH2（但し、TH2 < TH1）を保持するものである。該しきい値TH1, TH2は、該等化器80を利用して構成される装置の制御装置（例えば、図2の例におけるマイコン58）によってあらかじめ設定しておく。

【0069】比較器132は、等化誤差の平均値がしきい値TH1, TH2に達したか否か（しきい値TH1, TH2以下になつたか否か）を判定するものである。

【0070】カウンタ133は、等化誤差の平均値がしきい値TH1, TH2に達した回数（しきい値TH1, TH2以下になつた回数）をカウントするものである。

【0071】レジスタ134は、タップ制御を切替えるタイミングを決定する条件値（具体的には、カウンタ133のカウント値と比較される規定回数）を保持するものである。該規定回数は、該等化器80を利用して構成される装置の制御装置（例えば、図2の例におけるマイコン58）によってあらかじめ設定しておく。

【0072】比較器135は、カウンタ133のカウンタ値が、レジスタ134に設定されている規定回数に達したかどうかを判定するものである。該比較器135はカウント値が規定回数に達していた場合には、その出力を変更することで、タップ係数制御回路137にその旨を伝えるようになっている。

【0073】レジスタ136は、各動作モードにおいていずれのタップ係数について修正を行うかを示す情報を保持している。該情報は、該等化器80を利用した装置の制御装置（例えば、図2の例におけるマイコン58）によってあらかじめ設定しておく。

【0074】タップ係数制御回路137は、動作モードの設定・変更を行うものである。具体的には、比較器135の出力とレジスタ136に格納されている情報とに基づき、回路117～121、回路102～106を制御している。例えば、モードBでは、レジスタ117, 118, 121についてのみ書換を行わせる。

【0075】特許請求の範囲において言う“修正手段”とは、係数生成回路91に相当する。“切換条件”とは、レジスタ131, 134に設定されている内容に相当する。“モード情報”とは、レジスタ136に設定されている内容に相当する。

【0076】本実施形態の動作を図6～8を用いて説明する。

【0077】係数生成回路91以外の装置／回路の動作は第1の実施形態と同様である。そのためここでは、係数生成回路91についてのみ動作を説明する。

【0078】最初はタップ係数h1, h2, h4, h5の修正を行なう動作モード（モードA）とする。

【0079】このモードAでは、まずタップ係数h1の修正値を求める。タップ係数h1の修正値は以下のようにして求める。シーケンサ122からの制御に従ってセレクタ97は遅延回路93の入力にあたるデータを取り込み、これを乗算器98に出力する。乗算器98はセレクタ97から入力されたデータについて相関量を計算する。平均化回路99は、乗算器98が求めた複数個の相関量について平均値を求め、該平均値を係数演算回路100に出力する。

【0080】一方、セレクタ101は、レジスタ117の出力

を選択し、タップ係数 h_1 としてその時設定されている値を取り込み、これを係数演算回路100に出力する。係数演算回路100は、この時セレクタ101を通じて取り込んだタップ係数 h_1 の値と、平均化回路99から入力された相関量の平均値とともにとづいて、タップ係数 h_1 の修正値（タップ係数 h_1 の新たな値）を求める。シーケンサ122は回路102を制御することで、この修正値をラッチ回路107に書き込ませる。

【0081】続いて、タップ係数 h_5 の修正値を求める。タップ係数 h_5 の修正値を求める計算自体は、タップ係数 h_1 の修正値を求める計算と同様である。但し、セレクタ等を切り替えることで取り込むデータを変更する。つまり、セレクタ97には遅延回路96の出力データを、一方、セレクタ101にはレジスタ121の出力データを取り込ませる。そして、係数演算回路100の求めた係数は、ラッチ回路111に書き込ませる。

【0082】さらに、タップ係数 h_2 , h_4 の修正値を求める。既に述べたとおり、このモードAでは、タップ係数 h_2 とタップ係数 h_4 とは同じ値にする。そのため、セレクタ97には遅延回路93および遅延回路95の出力データを、また、セレクタ101にはレジスタ118またはレジスタ120の出力データを取り込ませる。係数演算回路100の求めた係数は、ラッチ回路108, 110に書き込ませる。これによりラッチ回路108とラッチ回路110とには同じ値が格納されることになる。

【0083】この後は、ラッチ回路107, 108, 110, 111に格納されている各タップの修正値を、それぞれに対応するレジスタ117, 118, 120, 121に書き込む。なお、該モードAでは、センターのタップ係数 h_3 は固定値としている。従って、レジスタ119に対しては、書き込み処理を行わず当初のデータを維持させる。

【0084】これ以後は、再び係数 h_1 から修正値を求める処理を繰り返す。

【0085】このモードAでは、上述したタップ係数の修正動作と並行して、タップ制御回路123が等化誤差の大きさ等を監視している。つまり、平均化回路130は誤差検出回路92から入力されてくる等化誤差の平均値を求める。比較器132は、この等化誤差の平均値をしきい値 H_1 とを比較することで、等化誤差がしきい値 H_1 以下となつことを検出する。カウンタ133は、等化誤差がしきい値 H_1 以下となつ回数をカウントする。

【0086】比較器135は、カウンタ133のカウント値と、レジスタ134に規定されている規定回数とを比較する。その結果、カウント値が規定回数に達していた場合、すなわち、等化誤差の平均値がしきい値 H_1 以下の状態が規定回数だけ続いている（注：等化誤差は、収束する場合には、全体としてはほぼ単調に減少してゆく）場合、タップ係数制御回路137は動作モードをモードBに切り換える。これによりこれ以降は、タップ h_1 , h_2 , h_5 についてのみ修正を行なうようになる。実際に動作モ

ードを切り換える様子を図8に示した。この動作モード切換は、図5と同様に複数のセクタにわたって行われる。

【0087】該モードBにおけるタップ係数 h_1 , h_5 の修正動作は、モードAの場合と同じである。

【0088】該モードBにおけるタップ係数 h_2 の修正値を求める計算はタップ係数 h_1 の場合と同様である。但し、セレクタ等を切り替えることで取り込むデータを変更する。つまり、セレクタ97には遅延回路93の出力データを、一方、セレクタ101にはレジスタ118の出力データを取り込ませる。そして、係数演算回路100の求めた係数は、ラッチ回路108に書き込ませる。

【0089】この後は、ラッチ回路107, 108, 111に格納されている各タップの修正値を、対応するレジスタ117, 118, 121に書き込む。該モードBでは、タップ係数 h_3 , h_4 については修正を行わない。従って、レジスタ119, 120に対しては、書き込み処理を行わず当初のデータを維持させる。

【0090】これ以後は、再びタップ係数 h_1 から修正値を求める処理を繰り返す。

【0091】このモードBでも、上述したタップ係数の修正動作と並行して、タップ制御回路123が等化誤差の大きさ等を監視している。監視の方法は、上述したモードAの場合と同様である。但し、該モードBにおいては、等化誤差の平均値をカウントするか否かのしきい値として、しきい値 H_2 （但し、 $H_2 < H_1$ ）を採用している。

【0092】該監視の結果、カウンタ133のカウント値が規定回数に達した場合（すなわち、等化誤差の平均値がしきい値 H_2 以下の状態が規定回数だけ続いている場合）には、タップ係数制御回路137は動作モードをモードCに切り換える。これによりこれ以降は、タップ係数 h_1 , h_5 についてのみ修正が行われるようになる。

【0093】モードCにおけるタップ係数 h_1 , h_5 の修正動作は、モードA, Bの場合と同じである。

【0094】以上説明した実施形態によれば、タップ係数の切替動作を自動に行なうことができる。これによって、マイコンの介在なしに、係数の収束／安定性を保持しつつ最適なタップ係数を得ることができる。

【0095】なお、上述した第1、第2の実施形態ではデジタル等化器について述べた。しかし、アナログデータを等化するアナログ等化器を用いるシステム構成でも、複数のタップから構成する等化器であれば同様に本発明を適用できる。

【0096】上記実施形態では、等化器内に各動作モードにおける修正処理の内容（例えば、いずれのタップについて修正を行うか、係数値を一致させるタップの組み合わせ）、動作モード切換の条件、を設定したレジスタを備えていた。しかし、該レジスタ自体は、必ずしも等化器自体が備えている必要はない。これらの条件等は等

化器の外部に設けたレジスタに設定し、必要に応じて等化器がこれを読み込むようにしてもよい。あるいは、これらの条件等は、等化器とは別の回路から直接指示するようにしてもよい。

【0097】上記実施形態では、等化誤差がしきい値TH1, TH2以下の状態が規定回数に達した場合に動作モードを切り換えるようにしていた。しかし、1回でもしきい値以下になった場合には、動作モードを切り換えるようにしても構わない。

【0098】

【発明の効果】以上説明した通り本発明の等化器は、タップ係数の切替動作を自動に行なうことができる。マイコンは初期設定だけ行なえばよく、データのリードが始まればマイコンの介在なしに速やかに修正動作の切り替えを行なうことができる。そのため、非対称な成分を含む再生信号に対しても、係数の収束／安定性を保持しつつ、速やかに最適なタップ係数を得ることができる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態の等化器1の構成を示すブロック図である。

【図2】等化器1を備えた磁気記録再生装置のシステム構成を示すブロック図である。

【図3】信号処理回路54の構成を示すブロック図である。

【図4】タップ制御回路33の構成を示すブロック図であ

る。

【図5】等化器1の切り替え動作のタイミングを示す図である。

【図6】本発明の第2の実施形態である等化器80の構成を示すブロック図である。

【図7】タップ制御回路123の構成を示すブロック図である。

【図8】等化器の動作を表わした図である。

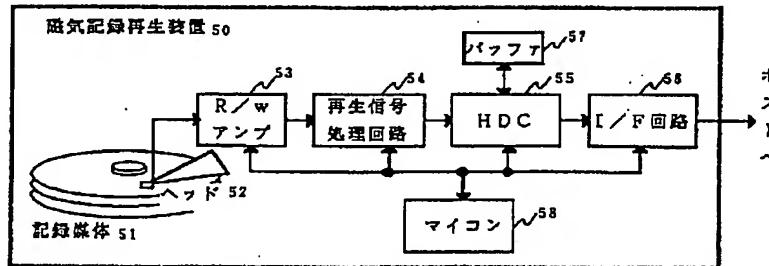
【図9】従来の等化器140の構成を示すブロック図である。

【符号の説明】

- 50…磁気記録再生装置、51…記録媒体、52…ヘッド、53…リード／ライトアンプ、54…再生信号処理回路、55…HDC、56…I/F回路、57…バッファ、58…マイコン、60…AGC、61…AF、62…ADC、63…復号器、64…デコーダ、65…I/F回路、66…VFO、1, 80, 140…等化器、2～7, 81～84, 93～96, 141～146…遅延回路、8～14, 18～23, 85～89, 98, 147～153…乗算回路、15, 90, 154…加算回路、16, 91, 155…係数生成回路、17, 92, 156…誤差検出回路、34～40, 620, 7, 71, 73, 117～121, 131, 134, 136, 171～177…レジスタ、31～32, 97, 101, 102～106, 112～116, …セレクタ、107～111…ラッチ回路、24～30, 100, 154～170…係数演算回路、33, 123…タップ制御回路、70, 133…カウンタ、72, 132, 135…比較器、74, 137…タップ係数制御、122…シーケンサ、99, 130…平均化回路

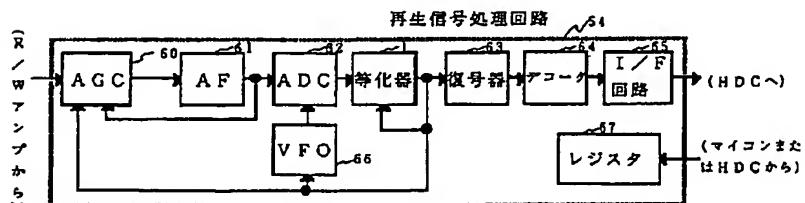
【図2】

図2



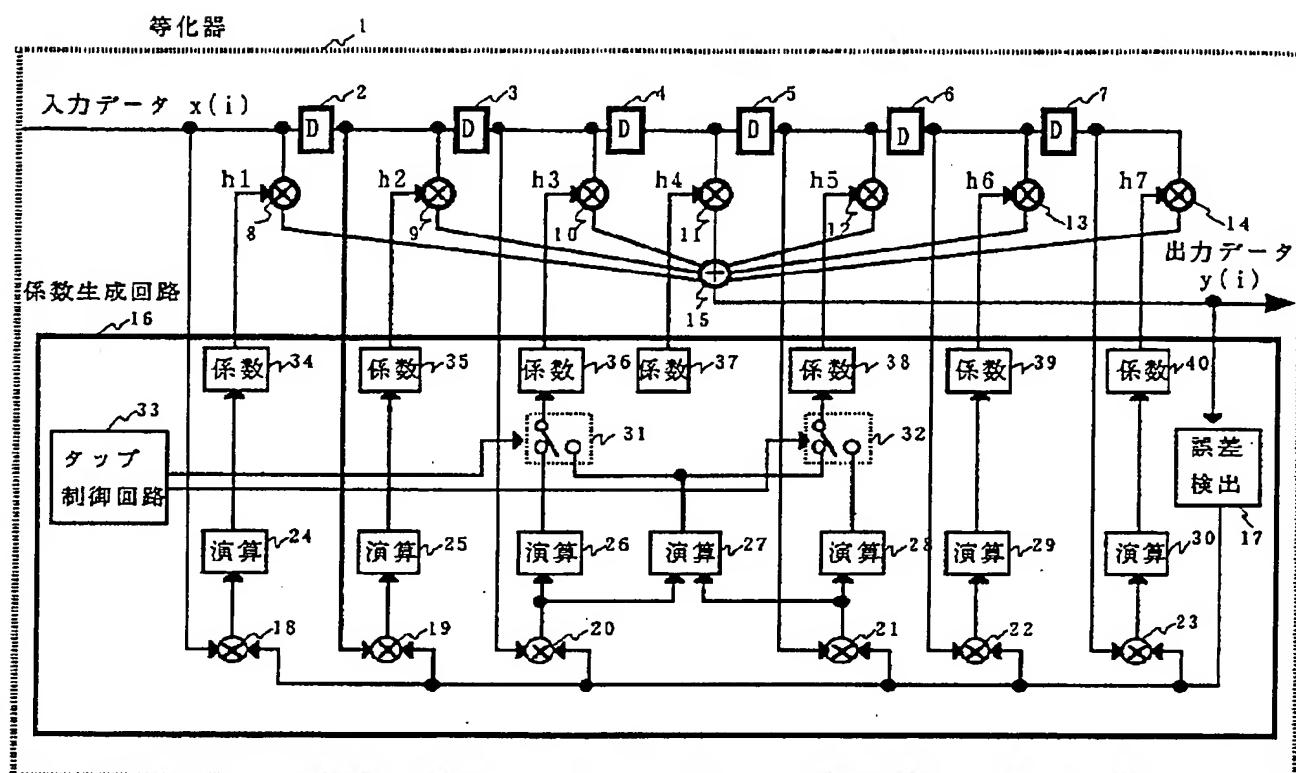
【図3】

図3



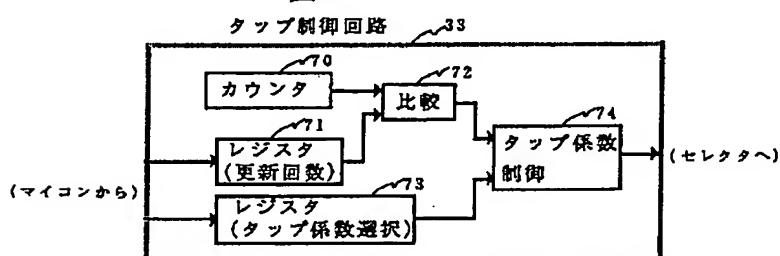
【図1】

図1



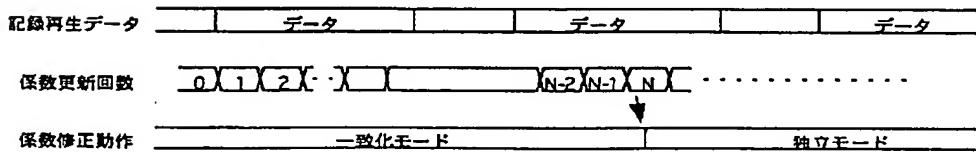
【図4】

図4



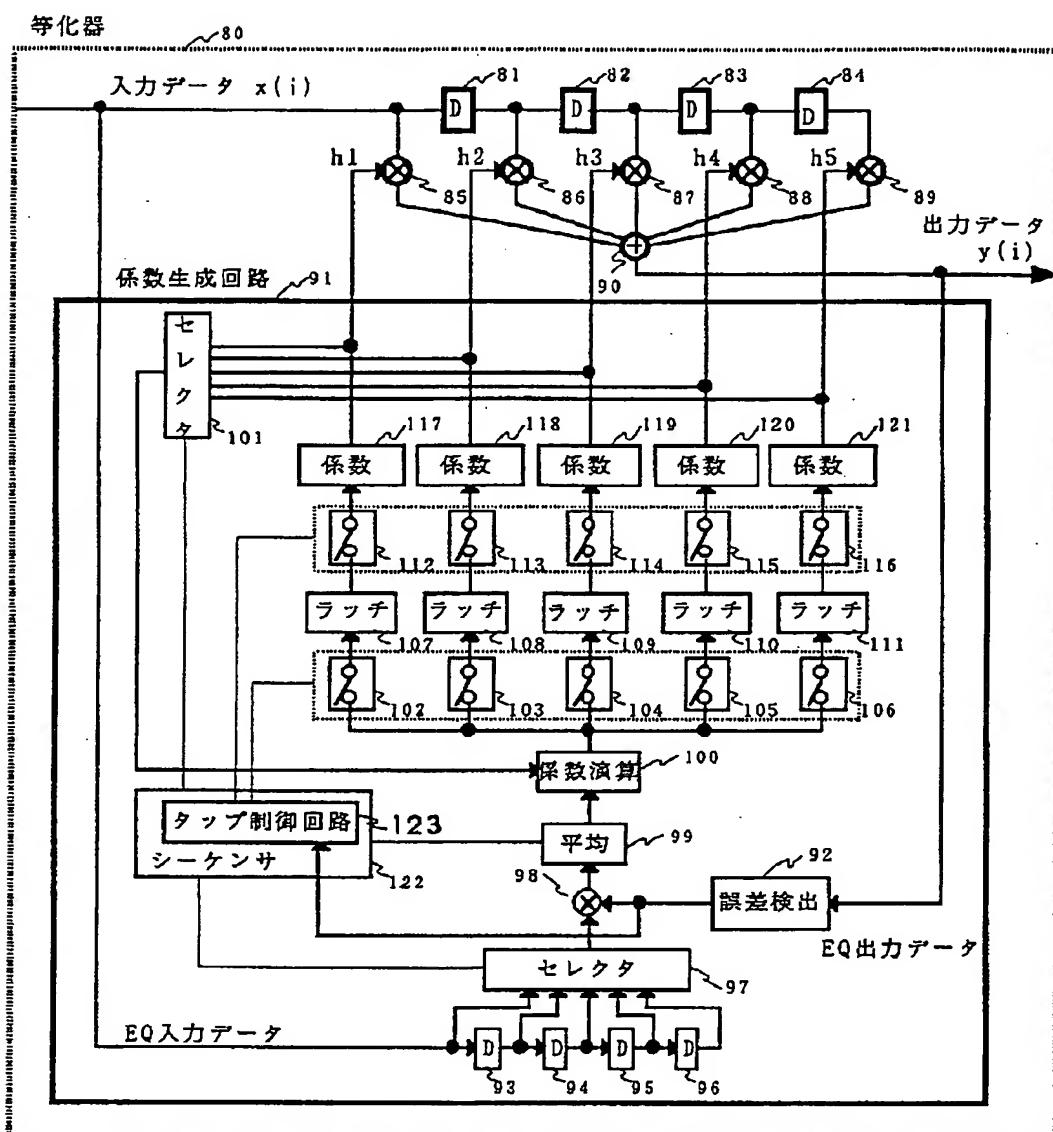
【図5】

図5



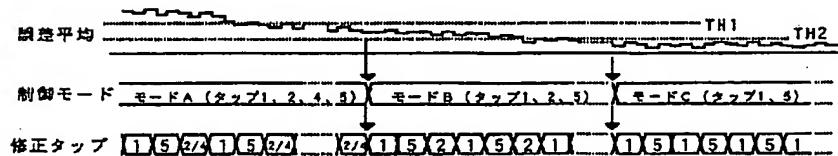
【図6】

図6



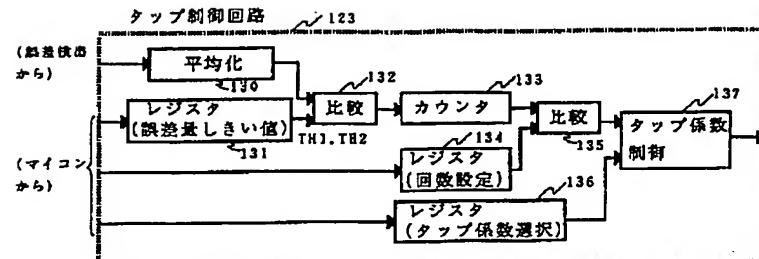
【図8】

図8



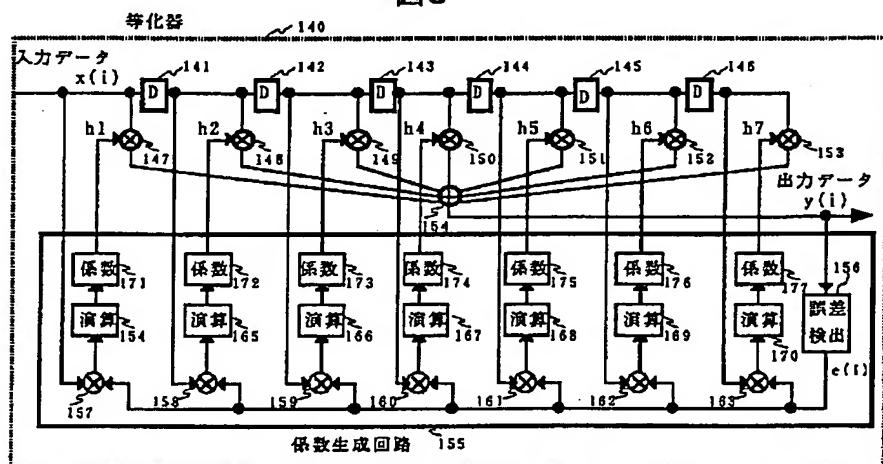
【図7】

図7



【図9】

図9



フロントページの続き

(72)発明者 奈良 孝

東京都小平市上水本町五丁目20番1号 株

式会社日立製作所半導体事業部内